

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 10 月 6 日 (06.10.2005)

PCT

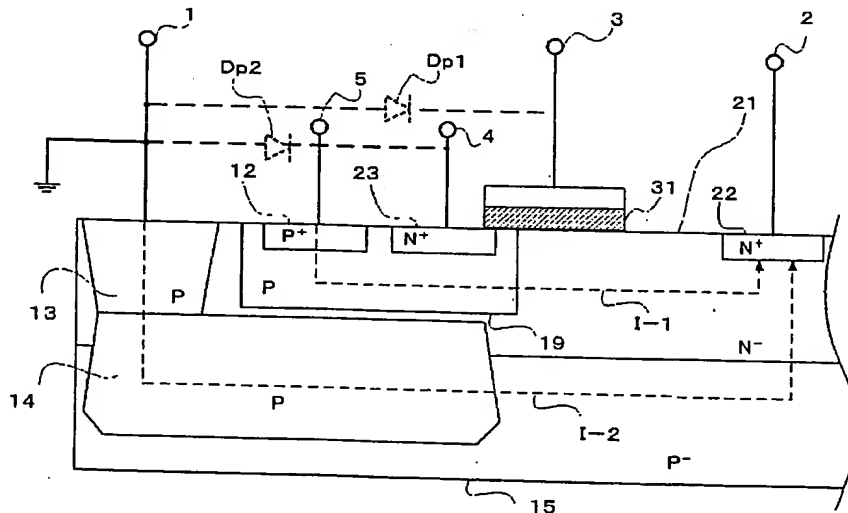
(10) 国際公開番号
WO 2005/093842 A1

- (51) 国際特許分類⁷: H01L 29/78, [JP/JP]; 〒3528666 埼玉県新座市北野 3 丁目 6 番 3 号 Saitama (JP).
21/822, 27/04, 27/06, 21/336
- (21) 国際出願番号: PCT/JP2005/003161
- (22) 国際出願日: 2005 年 2 月 25 日 (25.02.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-093702 2004 年 3 月 26 日 (26.03.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.)
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 岩淵 昭夫 (IWABUCHI, Akio) [JP/JP]; 〒3528666 埼玉県新座市北野 3 丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP). 相沢 和也 (AIZAWA, Kazuya) [JP/JP]; 〒3528666 埼玉県新座市北野 3 丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP).
- (74) 代理人: 木村 満 (KIMURA, Mitsuru); 〒1010054 東京都千代田区神田錦町二丁目 7 番地 協販ビル 2 階 Tokyo (JP).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

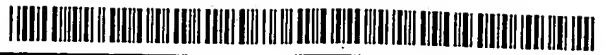


(57) Abstract: A semiconductor device is provided with a P-type semiconductor substrate (15), an N-type semiconductor region (21) formed on the P-type semiconductor substrate (15), an upper side P-type semiconductor region (13), which is formed on the front surface region of the N-type semiconductor region (21) and electrically connected with a grounding electrode (1), a lower side P-type semiconductor region (14) formed under the upper side P-type semiconductor region (13), a first N+ type semiconductor region (12) electrically connected with a drain electrode (2), a P-type semiconductor region (19) functioning as a channel forming region, a P+ type semiconductor region (23) electrically connected with a back gate electrode (5), and a second N+ type semiconductor region (31) electrically connected with a source electrode (4). The semiconductor device has a gate electrode (3) and a gate insulating film semiconductor region (22). The lower side P-type semiconductor device (14) extends to the side of the first N+ type semiconductor region (12).

(57) 要約: P-型半導体基板 (15) と、P-型半導体基板 (15) 上に形成されるN-型半導体領域 (21) と、N-型半導体領域 (21) の表面領域に形成され、接地電極 (1) に電氣的に接続される上側P-型半導体領域 (13) と、上側P-型半導体領域 (13) の下に

[続葉有]

WO 2005/093842 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

形成される下側P型半導体領域(14)と、ドレイン電極(2)に電気的に接続される第1N⁺型半導体領域(22)と、チャネル形成領域として機能するP型半導体領域(19)と、バックゲート電極(5)に電気的に接続されるP⁺型半導体領域(12)と、ソース電極(4)に電気的に接続される第2N⁺型半導体領域(23)と、P型半導体領域(19)の上にゲート電極(3)及びゲート絶縁膜(31)を備える半導体装置であって、下側P型半導体装置(14)は、第1N⁺型半導体領域(22)側に延伸されている。